

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年8月24日 (24.08.2006)

PCT

(10) 国際公開番号
WO 2006/087845 A1

(51) 国際特許分類:
H03K 19/0185 (2006.01)

(74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号
大阪丸紅ビル Osaka (JP).

(21) 国際出願番号: PCT/JP2005/019780

(22) 国際出願日: 2005年10月27日 (27.10.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-041291 2005年2月17日 (17.02.2005) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 松下 剛 (MATSUSHITA, Tsuyoshi).

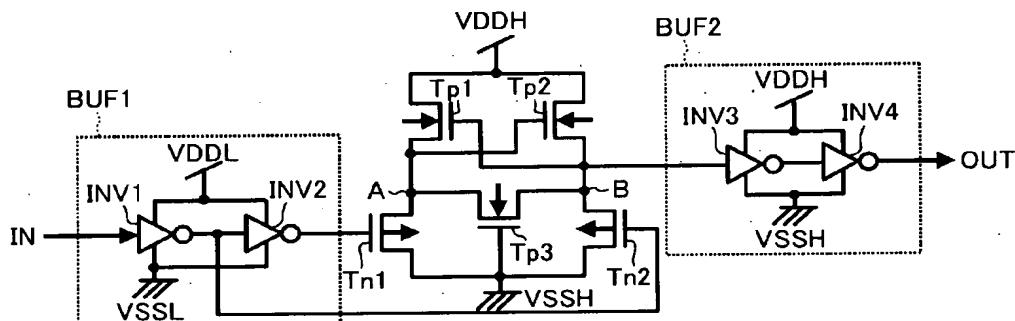
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

(統葉有)

(54) Title: LEVEL SHIFT CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT HAVING THE SAME

(54) 発明の名称: レベルシフト回路及びこれを備えた半導体集積回路



(57) Abstract: A level shift circuit comprising two N-ch transistors (Tn1, Tn2) that receive a pair of complementary input signals; and two P-ch transistors (Tp1, Tp2) that have their gate terminals cross-coupled to each other; wherein nodes (A, B), which are the drains of the two N-ch transistors (Tn1, Tn2) and which operate inversely to each other, are connected to each other at a resistor (Tp3). The resistor (Tp3), which comprises a P-ch transistor, has its gate grounded and is always conductive. For example, when the N-ch transistor (Tn1) is turned on and the N-ch transistor (Tn2) is turned off, a current initially flows from the node (A) exhibiting a higher potential through the resistor (Tp3) to the node (B) exhibiting a lower potential, which results in a rise of the potential at the node (B). Therefore, the potential rise at the node (B) is promoted as compared with a case where only the P-ch transistor (Tp2) is turned on. Thus, the level shift circuit having a less number of elements can operate in a higher rate.

WO 2006/087845 A1

(57) 要約: レベルシフト回路において、一对の相補入力信号を受ける2つのNchトランジスタTn1、Tn2と、ゲート端子が互いにクロスカップル接続された2つのPchトランジスタTp1、Tp2とを備えたレベルシフト回路において、前記2つのNchトランジスタTn1、Tn2のドレインであって互いに反転動作しているノードA、B同士が、抵抗Tp3で接続される。この抵抗Tp3は、Pchトランジスタで構成され、そのゲートは接地されて、常時導通状態にある。例えば、NchトランジスタTn1がONし、Tn2がOFFする際には、その当初で、高電位側のノードAから電流が抵抗Tp3を通じて低電位側のノードBに流れ、低電位側のノードBの電位が上昇する。従って、このノードBの電位上昇は、PchトランジスタTp2のONのみによる場合に比べて促進される。従って、レベルシフト回路を少ない素子数でもって高速動作できる。



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイド」を参照。

添付公開書類:

— 国際調査報告書